Method and circuit for decoding convolutional codes

Patent Number: US5327441
Publication date: 1994-07-05
Inventor(s): KAWAZOE KATSUHIKO (JP); HONDA SHUNJI (JP); KATO SHUZO (JP); KUBOTA SHUJI (JP)
Applicant(s): NIPPON TELEGRAPH & TELEPHONE (JP)
Requested Patent: JP5244019
Application Number: US19920991215 19921215
Priority Number(s): JP19910331640 19911216
IPC Classification: G06F11/10
EC Classification: H03M13/23, H03M13/41
Equivalents:

Abstract

In a simple decoder which decodes convolutional codes of constraint length K and coding rate n/m, encoded data which is supplied thereto in steps of m bits are distributed, bit by bit, to m shift registers each having x=[(K-1)/(m-n)] series-connected shift stages. Here, [p] means the minimum integer equal to or larger than a real number p. The connection of n modulo-2 addition circuits to all the shift stages of all the shift registers is defined by n decoding generative vectors which define n decoding generative polynomials. The modulo-2 addition circuits perform modulo-2 additions of the outputs of the shift stages connected thereto and output n results of additions as decoded results of n bits. The n decoding generative vectors are selected from decoding generative vectors of N rows which are obtained as an inverse matrix of a square matrix whose elements are NxN coefficients which define N=mx convolutional code generating polynomials.

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平5－244019

(43)公開日　平成5年(1993)9月21日

(51)Int.Cl.[5]	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｈ０３Ｍ　13/12		7259－5Ｊ		
Ｈ０４Ｌ　25/08		Ｂ　8226－5Ｋ		

審査請求　未請求　請求項の数12(全 18 頁)

(21)出願番号　特願平4－336292

(22)出願日　平成4年(1992)12月16日

(31)優先権主張番号　特願平3－331640

(32)優先日　平3(1991)12月16日

(33)優先権主張国　日本（ＪＰ）

特許法第30条第1項適用申請有り　1991年8月15日　社団法人電子情報通信学会発行の「1991年電子情報通信学会秋季大会講演論文集」に発表

(71)出願人　000004226
日本電信電話株式会社
東京都千代田区内幸町一丁目1番6号

(72)発明者　川添　雄彦
東京都千代田区内幸町1丁目1番6号　日本電信電話株式会社内

(72)発明者　本田　俊二
東京都千代田区内幸町1丁目1番6号　日本電信電話株式会社内

(72)発明者　久保田　周治
東京都千代田区内幸町1丁目1番6号　日本電信電話株式会社内

(74)代理人　弁理士　草野　卓

最終頁に続く

(54)【発明の名称】　畳み込み符号の簡易復号方法及び簡易復号回路

(57)【要約】

【目的】　所望の拘束長Ｋ、符号化率ｎ／ｍの畳み込み符号に対する簡易復号を行う。

【構成】　復号回路に供給されるｍ（＝４）ビット毎の畳み込み符号データは、それぞれがｘ＝［（Ｋ－１）／（ｍ－ｎ）］個の直列接続されたシフト段を有するｍ個のシフトレジスタＳＲ$_1$～ＳＲ$_4$に１ビットずつ分配されて与えられる。ここで［ｐ］は実数ｐ以上の最小の整数を意味する。ｎ（＝３）個のｍｏｄ２加算器（２３$_1$～２３$_3$）はそれぞれ全シフトレジスタの全シフト段（＃１～＃２４）とｎ個の復号生成多項式を規定するｎ個の復号生成ベクトルによって結合が規定され、それぞれのｍｏｄ２加算器は結合されたシフト段の出力をｍｏｄ２加算し、ｎ個の加算結果をｎビットの復号結果として出力する。ｎ個の復号生成ベクトルは、Ｎ＝ｍｘ（＝２４）個の畳み込み符号の生成多項式を規定するＮ×Ｎ個の係数を要素とする正方行列の逆行列として得られるＮ行の復号生成ベクトルから選ばれた連続するｎ行の要素をそれぞれ係数として持つものである。

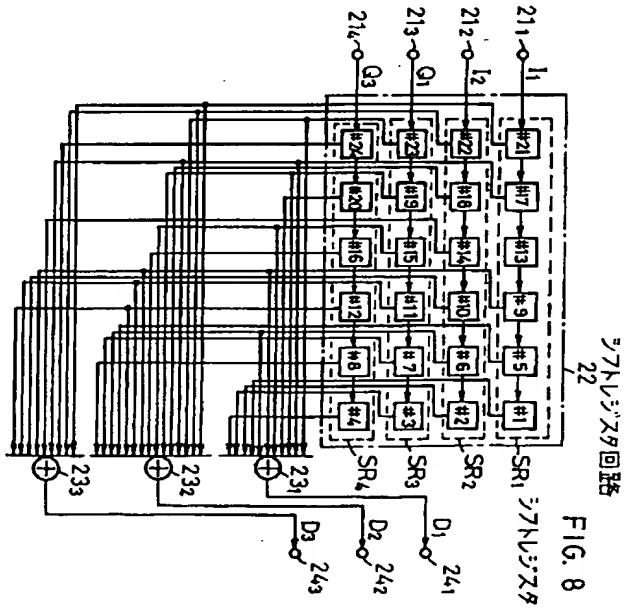


FIG. 8

【特許請求の範囲】

【請求項１】　符号器に入力された原データの連続するＫ＋ｎ－１ビットから、それぞれがＫ＋ｎ－１個の予め決めた結合係数からなるｍ個の符号生成ベクトルのそれぞれの結合係数に従ってそれぞれ選択されたデータをそれぞれｍｏｄ２加算してｍビットの符号データを出力することを、原データがｎビットずつシフトして上記符号器に入力される毎に繰り返して生成された拘束長Ｋ、符号化率Ｒ＝ｎ／ｍの畳み込み符号を復号する簡易復号回路であり、Ｋ，ｎ，ｍは自然数、Ｋ＞１，ｍ＞ｎであり、

順次受信したｍビット毎の上記畳み込み符号のデータがそれぞれ１ビットずつ供給され、それぞれがｘ≧（Ｋ－１）／（ｍ－ｎ）を満足する予め決めた整数ｘ個の直列接続されたシフト段を有するｍ個のシフトレジスタと、

上記ｍ個のシフトレジスタの全Ｎ＝ｍｘ個のシフト段はＮ個の符号データを保持するためのシフトレジスタ回路を構成し、

上記符号器の符号生成ベクトルに対応した復号生成行列中から選択された連続するｎ行がそれぞれ有するＮ個の要素である結合係数に従って上記Ｎ個のシフト段から選択したそれぞれ複数の上記シフト段から出力を取り出すｎ個の選択結合手段と、

上記ｎ個の選択結合手段とそれぞれ接続され、それぞれ上記複数のシフト段の出力のｍｏｄ２加算を行いｎビットの復号データを出力するｎ個のｍｏｄ２加算手段、

とを含み、上記復号生成行列は、ｎビット毎に上記符号器に入力された原データの連続するＫ＋ｎ－１ビットに対し上記符号器のｍ個の符号生成ベクトルを使って作られたＮ＝ｍｘ個の符号を生成するＮ個の符号生成多項式のＮ×Ｎ個の係数を要素とする正方行列の逆行列である。

【請求項２】　符号器に入力された原データの連続するＫ＋ｎ－１ビットから、それぞれがＫ＋ｎ－１個の予め決めた結合係数からなるｍ個の符号生成ベクトルのそれぞれの結合係数に従ってそれぞれ選択されたデータをそれぞれｍｏｄ２加算してｍビットの符号データを出力することを、原データがｎビットずつシフトして上記符号器に入力される毎に繰り返して生成された拘束長Ｋ、符号化率Ｒ＝ｎ／ｍの畳み込み符号を復号する簡易復号回路であり、Ｋ，ｎ，ｍは自然数、Ｋ＞１，ｍ＞ｎであり、

受信した上記畳み込み符号のデータが１ビットずつ供給され、Ｎ≧ｍ（Ｋ－１）／（ｍ－ｎ）を満足する予め決めた整数Ｎ個の直列接続されたシフト段を有するシフトレジスタと、上記Ｎ個のシフト段はＮ個の符号データを保持するためのシフトレジスタ回路を構成し、

上記符号器の符号生成ベクトルに対応した復号生成行列中から選択された連続するｎ行がそれぞれ有するＮ個の要素である結合係数に従って上記Ｎ個のシフト段から選択したそれぞれ複数の上記シフト段から出力を取り出すｎ個の選択結合手段と、

上記ｎ個の選択結合手段とそれぞれ接続され、それぞれ上記複数のシフト段の出力のｍｏｄ２加算を行いｎビットの復号データを出力するｎ個のｍｏｄ２加算手段、

とを含み、上記復号生成行列は、ｎビット毎に上記符号器に入力された原データの連続Ｋ＋ｎ－１ビットに対し上記符号器のｍ個の符号生成ベクトルを使って作られたＮ個の符号を生成するＮ個の符号生成多項式のＮ×Ｎ個の係数を要素とする正方行列の逆行列である。

【請求項３】　符号器に入力された原データの連続するＫ＋ｎ－１ビットから、それぞれがＫ＋ｎ－１個の予め決めた結合係数からなるｍ個の符号生成ベクトルのそれぞれの結合係数に従ってそれぞれ選択されたデータをそれぞれｍｏｄ２加算してｍビットの符号データを出力することを、原データがｎビットずつシフトして上記符号器に入力される毎に繰り返して生成された拘束長Ｋ、符号化率Ｒ＝ｎ／ｍの畳み込み符号を復号する簡易復号方法であり、Ｋ，ｎ，ｍは自然数、Ｋ＞１，ｍ＞ｎであり、

ｍビットずつ受信した上記畳み込み符号の最も新しい連続するＮビット、ＮはＮ≧ｍ（Ｋ－１）／（ｍ－ｎ）を満足する予め決めた整数、を保持するステップと、

上記符号器の符号生成ベクトルに対応した復号生成行列中から選択された連続するｎ行がそれぞれ有するＮ個の要素である結合係数に従って上記Ｎビットの保持されたデータからそれぞれ選択したデータをｎ個のグループで取り出すステップと、

上記ｎ個の各グループ内の上記選択されたデータをｍｏｄ２加算してｎビットの復号データを出力するステップ、

とを含み、上記復号生成行列は、ｎビット毎に上記符号器に入力された原データの連続Ｋ＋ｎ－１ビットに対し上記符号器のｍ個の符号生成ベクトルを使って作られたＮ＝ｍｘ個の符号を生成するＮ個の符号生成多項式のＮ×Ｎ個の係数を要素とする正方行列の逆行列である。

【請求項４】　符号器に入力された原データの連続するＫ＋ｎ－１ビットから、それぞれがＫ＋ｎ－１個の予め決めた結合係数からなるｍ個の符号生成ベクトルのそれぞれの結合係数に従ってそれぞれ選択されたデータをそれぞれｍｏｄ２加算してｍビットの符号データを出力することを、原データがｎビットずつシフトして上記符号器に入力される毎に繰り返して生成された拘束長Ｋ、符号化率Ｒ＝ｎ／ｍの畳み込み符号を復号する簡易復号回路の形成方法であり、Ｋ，ｎ，ｍは自然数、Ｋ＞１，ｍ＞ｎであり、

上記原データがｎビット入力される毎に入力された最新の連続するＫ＋ｎ－１ビットの上記原データに対し上記ｍ個の符号生成ベクトルを使ってｍビットの符号データを生成することを繰り返し、各組がｍビットの符号デー

タをｘ組を得るステップと、ｘはｘ≧（Ｋ－１）／（ｍ－ｎ）を満足する予め決めた整数であり、
各上記組のｍビットの符号データを生成するｍ個の符号生成多項式を上記ｍ個の符号生成ベクトルの各（Ｋ＋ｎ－１）個の上記結合係数を含むＮ＝ｘｍ個の結合係数により表現することにより、それぞれがＮ個の結合係数を有するＮ個の符号生成多項式を得るステップと、
上記Ｎ個の符号生成多項式の各Ｎ個の上記結合係数を要素とするＮ×Ｎの符号生成行列を形成するステップと、
上記符号生成行列からその逆行列を得るステップと、
上記逆行列の連続するｎ行を選択し、上記選択した各行のＮ個の要素を結合係数とし、上記Ｎ個の結合係数に従って、上記畳み込み符号データが入力されるＮ個のシフト段とｎ個のｍｏｄ２加算器の対応する１つとを選択結合するステップ、とを含む。

【請求項５】　請求項１に記載の簡易復号回路において、上記ｘの値は次式
ｘ＝［（Ｋ－１）／（ｍ－ｎ）］
によって与えられ、記号［ｐ］は実数ｐ以上の最小の整数を表す。

【請求項６】　請求項２に記載の簡易復号回路において、上記Ｎの値は次式
Ｎ＝ｍ［（Ｋ－１）／（ｍ－ｎ）］
によって与えられ、記号［ｐ］は実数ｐ以上の最小の整数を表す。

【請求項７】　請求項３に記載の簡易復号方法において、上記Ｎの値は次式
Ｎ＝ｍ［（Ｋ－１）／（ｍ－ｎ）］
によって与えられ、記号［ｐ］は実数ｐ以上の最小の整数を表す。

【請求項８】　請求項４に記載の簡易復号回路の形成方法において、上記ｘの値は次式
ｘ＝［（Ｋ－１）／（ｍ－ｎ）］
によって与えられ、記号［ｐ］は実数ｐ以上の最小の整数を表す。

【請求項９】　請求項１または２に記載の簡易復号回路において、Ｋ＝４，Ｒ＝ｎ／ｍ＝１／２であり、かつ上記復号生成行列の上記選択される行のベクトルが（１１）である構成と、Ｋ＝７，Ｒ＝ｎ／ｍ＝１／２であり、かつ上記復号生成行列の上記選択される行のベクトルが(1110111010)である構成を除く。

【請求項１０】　請求項３に記載の簡易復号方法において、Ｋ＝４，Ｒ＝ｎ／ｍ＝１／２であり、かつ上記復号生成行列の上記選択される行のベクトルが（１１）である場合と、Ｋ＝７，Ｒ＝ｎ／ｍ＝１／２であり、かつ上記復号生成行列の上記選択される行のベクトルが(1110111010)である場合を除く。

【請求項１１】　受信畳み込み符号を復号して推定原データを得るクレーム１または２の簡易復号回路と、
上記簡易復号回路からの推定原データを畳み込みにより再符号化する、送信側符号器と同じ構成の畳み込み符号器と、
上記受信符号データと上記再符号化データとを排他的論理和により比較する比較手段と、
上記比較手段の比較結果から推定誤りを復号するビタビ復号回路と、
上記簡易復号回路からの推定原データと上記ビタビ復号回路からの推定誤りとをｍｏｄ２加算することにより上記推定原データの推定誤りを訂正して出力するｍｏｄ２加算手段、
とを含む復号器。

【請求項１２】　受信畳み込み符号を復号して推定原データを得るクレーム１または２の簡易復号回路と、
上記簡易復号回路からの推定原データを畳み込みにより再符号化する、送信側符号器と同じ構成の畳み込み符号器と、
上記受信符号データと上記再符号化データとを排他的論理和により比較して不一致を検出する比較手段と、
上記比較手段により検出された不一致の数を計数して、その計数値に対応する評価値を出力する計数手段、
とを含む伝送路品質監視装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】この発明は、誤り訂正符号の１つである畳み込み符号を受信して簡易に原データを復号する、それ自体では誤り訂正機能を持たない簡易復号方法及び簡易復号回路に関する。

【０００２】

【従来の技術】現在知られている畳み込み符号の復号方法の１つとしてA.J.Viterbi により提案された復号アルゴリズムが最も高い誤り訂正能力と信頼性を有する復号方法であることが知られており、ビタビ復号器としてすでに衛星通信の分野で一部実用化され、その優位性が実証されている。しかし、ビタビ復号器は上述したような優れた特性を持つ反面、誤り訂正率を高めるためには回路規模が極めて大きくなり、しかもその結果、消費電力が大きくなるという欠点がある。

【０００３】一方、畳み込み符号を受信して誤り訂正復号を行う他の復号方法としては、閾値復号、逐次復号などがある。これらの復号方法もビタビ復号ほどではないにしてもそれを実施する復号回路の規模は大きく、その電力消費が大きくなる欠点がある。そこで、ビタビ復号器の低消費電力化及び回路規模の低減が可能な方式としてＳＳＴ（Scarce State Transition）方式が提案され、実用化されている（Ishitani et al, "A Scarece-State-Transition Viterbi-Decoder VLSI for Error Correction", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.SC-22, NO.4,AUGUST 1987, pp575-581）。

【０００４】図１は例えば上述の文献に示されているような、ブランチメトリック回路とＡＣＳ回路とパスメモ

リ回路からなる従来の狭義のビタビ復号回路１６にＳＳＴ方式を適用して構成したＳＳＴ型ビタビ復号器の例であり、拘束長Ｋ＝７、符号化率１／２の場合である。ＳＳＴ型ビタビ復号器は、まず端子１１$_1$、１１$_2$に与えられた伝送路誤りを含んでいるかも知れない受信畳み込み符号X_1，X_2から誤り訂正機能を持たない簡易復号回路２により復号を行って原データＤの推測復号データＤ’を得る。この文献に示された簡易復号回路は１０個のシフト段に保持された１０ビットの符号データから結合ベクトル(1110111010)で指定された７つのシフト段の出力符号データを選択してｍｏｄ２加算することにより原データを１ビット復号するものである。次に、この推測復号データＤ’を送信側畳み込み符号器と同じ構成の符号器３で再符号化し、この再符号化畳み込み符号X_1'，X_2'と受信畳み込み符号データ（軟判定データ）X_1，X_2を比較器（排他的論理和回路）１３$_1$、１３$_2$で比較する。

【０００５】伝送路誤りがなければ受信符号データX_1、X_2と再符号化データX_1'、X_2'は一致し、比較器１３$_1$、１３$_2$の出力は共に“０”となる。畳み込み符号データX_1、X_2は原データの畳込みの結果本来各データX_1、X_2、X_3、…の前後複数ビットに渡って互いに影響を及ぼし合っているので、伝送路誤りが生じると正しい畳み込み符号では起こり得ないビットパターンが生じる。一方、畳み込み符号器３の出力再符号化データは、その入力データＤ’が推定誤りであったとしても畳み込み符号としての再符号化データには異常なビットパターンは生じない。従って、伝送路誤りがあった場合、比較器１３$_1$、１３$_2$には複数ビットに渡って連続または不連続に“１”が生じる。この様な推定誤りを表す比較結果を従来のビタビ復号回路１４の入力として与えてその推定誤りを復号し、その出力と簡易復号回路２の復号結果Ｄ’とのｍｏｄ２加算をｍｏｄ２加算器１５で行うことにより簡易復号結果Ｄ’の推定誤りを訂正し、原データＤを得る。なお、遅延回路１２$_1$、１２$_2$、１６はデータのタイミングを合わせるためのものである。

【０００６】この様なＳＳＴ型ビタビ復号器では、伝送路上で畳み込み符号データに誤りが生じなければ、狭義のビタビ復号回路１４の入力は常に“０”である。そのため、ビタビ復号回路１４は信号誤りのみを処理することになる。即ち、ビタビ復号回路１４内のパスメモリ回路に記憶されるデータは、信号に誤りが生じたとき以外は“０”であり、パスメモリ回路のゲートのＯＮ－ＯＦＦ動作は、ほとんど起こらない。一般に、ＣＭＯＳ回路は信号のＯＮ－ＯＦＦで電力を消費するため、ＳＳＴ型ビタビ復号器の消費電力は、従来型のビタビ復号器と比較すると大幅に低減される（復号後の誤り率Ｐｅ＝１０のとき約４０％）。更に、従来型のビタビ復号器においては、所要パスメモリ長を削減するために最尤判定回路を用いていたが、ＳＳＴ法を適用したビタビ復号器ではパスメモリ長が削減されるので最尤判定回路を省略することができる。これらの理由からＳＳＴ型ビタビ復号器は、狭義のビタビ復号回路１４の消費電力と回路規模の削減が可能であり、有効である。

【０００７】送信側において従来用いられている符号化率Ｒ＝１／２、拘束長Ｋ＝４の畳み込み符号器の最も簡単な構成例を図２に示す。この例では符号器は３段のシフトレジスタ４と、ｍｏｄ２加算器５$_1$、５$_2$とから構成されている。原データＤ（D_1，D_2，…）が入力端子６を通してシフトレジスタ４に順次入力され、ｍｏｄ２加算器５$_1$はシフトレジスタ４の全シフト段からの出力のｍｏｄ２加算を行い、ｍｏｄ２加算器５$_2$はシフトレジスタ４の第１及び第３シフト段からの出力をｍｏｄ２加算し、これらｍｏｄ２加算器５$_1$、５$_2$から畳み込み符号データX_1，X_2が端子７$_1$、７$_2$に出力される。図１の受信側のＳＳＴ型ビタビ復号器はこの符号データX_1，X_2を受信し、復号する。図２の符号器においてシフトレジスタ４の第１段と第３段の出力は何れも常に両方のｍｏｄ２加算器５$_1$、５$_2$に与えられているので、データX_2に対するデータX_1の相対的関係はデータX_2を“０”に設定し、第２シフト段の出力をデータX_1としたときの関係と等価になる。従って、図２の符号器に対する図１内の簡易復号回路２は図３に示すように１つのｍｏｄ２加算器で構成できることは容易に理解される。この場合、入力符号データをｍｏｄ２加算器に結合する結合ベクトルは（１１）で表される。

【０００８】

【発明が解決しようとする課題】一般に符号の伝送能率を高めるためには符号化率Ｒ＝ｎ／ｍ（ｎは入力情報ビット数、ｍは出力ビット数）を大きくし、即ち１に近づけ、また誤り訂正能力を高めるためには拘束長Ｋをより長くすることが望まれる。しかしながら、この様なＳＳＴ型ビタビ復号器で必要となる簡易復号回路２は、畳み込み符号の符号化率Ｒが１／２で拘束長Ｋが７以下の場合は前述の文献に示されているように比較的に容易に構成することができるが、一般にｎ／ｍで表される任意の符号化率Ｒの畳み込み符号を復号する簡易復号回路を構成するための論理設計アルゴリズムは見いだされていなかった。実際、符号化率Ｒ＝１／２以外の畳み込み符号に対する簡易復号回路はこの出願の発明者らにより符号化率Ｒ＝３／４、拘束長Ｋ＝７の畳み込み符号について復号可能な簡易復号回路を試行錯誤的にたまたま構成することができただけである（川添等、「ＳＳＴ型高符号化率ビタビ復号器の検討」、１９９１年電子情報通信学会、秋期大会、Ｂ－１５６）。この様に拘束長Ｋが７以下でかつ符号化率Ｒが１／２である符号以外の任意の符号化率の畳み込み符号に対する簡易復号回路を構成することは従来困難であり、従ってそのような符号に対する簡易復号回路を使用しなければならないＳＳＴ型ビタビ

復号器は一般には構成することができなかった。そのため、符号化率ｎ／ｍの符号に対してはＳＳＴ型でない従来のビタビ復号器を用いる必要があり、上記の電力消費量が大きい問題点を解決できなかった。

【０００９】この発明の第１の目的は、任意の拘束長と符号化率の畳み込み符号に対する簡易的復号方法を提供することである。この発明の第２の目的は、上記復号方法による簡易復号回路を提供することである。この発明の第３の目的は、上記簡易復号回路を形成する方法を提供することである。

【００１０】この発明の第４の目的は、上記簡易復号回路を適用し、任意の符号化率と拘束長の畳み込み符号に対する消費電力の少ないＳＳＴ型ビタビ復号器を提供することである。この発明の第５の目的は、上記簡易復号回路を適用した簡単な構成の伝送路品質監視装置を提供することである。

【００１１】

【課題を解決するための手段】この発明によれば、第１の目的は符号器に入力された原データの連続するＫ＋ｎ－１ビットから、それぞれがＫ＋ｎ－１個の予め決めた結合係数からなるｍ個の符号生成ベクトルのそれぞれの結合係数に従ってそれぞれ選択されたデータをそれぞれｍｏｄ２加算してｍビットの符号データを出力することを、原データがｎビットずつシフトして上記符号器に入力される毎に繰り返して生成された拘束長Ｋ、符号化率Ｒ＝ｎ／ｍの畳み込み符号を復号する簡易復号回路であり、Ｋ，ｎ，ｍは自然数、Ｋ＞１，ｍ＞ｎであり、順次受信したｍビット毎の上記畳み込み符号のデータがそれぞれ１ビットずつ供給され、それぞれがｘ≧（Ｋ－１）／（ｍ－ｎ）を満足する予め決めた整数ｘ個の直列接続されたシフト段を有するｍ個のシフトレジスタと、上記ｍ個のシフトレジスタの全Ｎ＝ｍｘ個のシフト段はＮ個の符号データを保持するためのシフトレジスタ回路を構成し、上記符号器の符号生成ベクトルに対応した復号生成行列中から選択された連続するｎ行がそれぞれ有するＮ個の要素である結合係数に従って上記Ｎ個のシフト段から選択したそれぞれ複数の上記シフト段から出力を取り出すｎ個の選択結合手段と、上記ｎ個の選択結合手段とそれぞれ接続され、それぞれ上記複数のシフト段の出力のｍｏｄ２加算を行いｎビットの復号データを出力するｎ個のｍｏｄ２加算手段、とを含み、上記復号生成行列は、ｎビット毎に上記符号器に入力された原データの連続するＫ＋ｎ－１ビットに対し上記符号器のｍ個の符号生成ベクトルを使って作られたＮ＝ｍｘ個の符号を生成するＮ個の符号生成多項式のＮ×Ｎ個の係数を要素とする正方行列の逆行列である、ように構成することにより達成することが出来る。

【００１２】または符号器に入力された原データの連続するＫ＋ｎ－１ビットから、それぞれがＫ＋ｎ－１個の予め決めた結合係数からなるｍ個の符号生成ベクトルのそれぞれの結合係数に従ってそれぞれ選択されたデータをそれぞれｍｏｄ２加算してｍビットの符号データを出力することを、原データがｎビットずつシフトして上記符号器に入力される毎に繰り返して生成された拘束長Ｋ、符号化率Ｒ＝ｎ／ｍの畳み込み符号を復号する簡易復号回路であり、Ｋ，ｎ，ｍは自然数、Ｋ＞１，ｍ＞ｎであり、受信した上記畳み込み符号のデータが１ビットずつ供給され、Ｎ≧ｍ（Ｋ－１）／（ｍ－ｎ）を満足する予め決めた整数Ｎ個の直列接続されたシフト段を有するシフトレジスタと、上記Ｎ個のシフト段はＮ個の符号データを保持するためのシフトレジスタ回路を構成し、上記符号器の符号生成ベクトルに対応した復号生成行列中から選択された連続するｎ行がそれぞれ有するＮ個の要素である結合係数に従って上記Ｎ個のシフト段から選択したそれぞれ複数の上記シフト段から出力を取り出すｎ個の選択結合手段と、上記ｎ個の選択結合手段とそれぞれ接続され、それぞれ上記複数のシフト段の出力のｍｏｄ２加算を行いｎビットの復号データを出力するｎ個のｍｏｄ２加算手段、とを含み、上記復号生成行列は、ｎビット毎に上記符号器に入力された原データの連続するＫ＋ｎ－１ビットに対し上記符号器のｍ個の符号生成ベクトルを使って作られたＮ個の符号を生成するＮ個の符号生成多項式のＮ×Ｎ個の係数を要素とする正方行列の逆行列である、ように構成することによって達成することが出来る。

【００１３】この発明の第２の目的は、符号器に入力された原データの連続するＫ＋ｎ－１ビットから、それぞれがＫ＋ｎ－１個の予め決めた結合係数からなるｍ個の符号生成ベクトルのそれぞれの結合係数に従ってそれぞれ選択されたデータをそれぞれｍｏｄ２加算してｍビットの符号データを出力することを、原データがｎビットずつシフトして上記符号器に入力される毎に繰り返して生成された拘束長Ｋ、符号化率Ｒ＝ｎ／ｍの畳み込み符号を復号する簡易復号方法であり、Ｋ，ｎ，ｍは自然数、Ｋ＞１，ｍ＞ｎであり、ｍビットずつ受信した上記畳み込み符号の最も新しい連続するＮビット、ＮはＮ≧ｍ（Ｋ－１）／（ｍ－ｎ）を満足する予め決めた整数、を保持するステップと、上記符号器の符号生成ベクトルに対応した復号生成行列中から選択された連続するｎ行がそれぞれ有するＮ個の要素である結合係数に従って上記Ｎビットの保持されたデータからそれぞれ選択したデータをｎ個のグループで取り出すステップと、上記ｎ個の各グループ内の上記選択されたデータをｍｏｄ２加算してｎビットの復号データを出力するステップ、とを含み、上記復号生成行列は、ｎビット毎に上記符号器に入力された原データの連続Ｋ＋ｎ－１ビットに対し上記符号器のｍ個の符号生成ベクトルを使って作られたＮ＝ｍｘ個の符号を生成するＮ個の符号生成多項式のＮ×Ｎ個の係数を要素とする正方行列の逆行列である、復号方法により達成することが出来る。

【００１４】この発明の第３の目的は、符号器に入力された原データの連続するＫ＋ｎ－１ビットから、それぞれがＫ＋ｎ－１個の予め決めた結合係数からなるｍ個の符号生成ベクトルのそれぞれの結合係数に従ってそれぞれ選択されたデータをそれぞれｍｏｄ２加算してｍビットの符号データを出力することを、原データがｎビットずつシフトして上記符号器に入力される毎に繰り返して生成された拘束長Ｋ、符号化率Ｒ＝ｎ／ｍの畳み込み符号を復号する簡易復号回路の形成方法であり、Ｋ，ｎ，ｍは自然数、Ｋ＞１，ｍ＞ｎであり、上記原データがｎビット入力される毎に入力された最新の連続するＫ＋ｎ－１ビットの上記原データに対し上記ｍ個の符号生成ベクトルを使ってｍビットの符号データを生成することを繰り返し、各組がｍビットの符号データをｘ組を得るステップと、ｘはｘ≧（Ｋ－１）／（ｍ－ｎ）を満足する予め決めた整数であり、各上記組のｍビットの符号データを生成するｍ個の符号生成多項式を上記ｍ個の符号生成ベクトルの各（Ｋ＋ｎ－１）個の上記結合係数を含むＮ＝ｘｍ個の結合係数により表現することにより、それぞれがＮ個の結合係数を有するＮ個の符号生成多項式を得るステップと、上記Ｎ個の符号生成多項式の各Ｎ個の上記結合係数を要素とするＮ×Ｎの符号生成行列を形成するステップと、上記符号生成行列からその逆行列を得るステップと、上記逆行列の連続するｎ行を選択し、上記選択した各行のＮ個の要素を結合係数とし、上記Ｎ個の結合係数に従って、上記畳み込み符号データが入力されるＮ個のシフト段とｎ個のｍｏｄ２加算器の対応する１つとを選択結合するステップ、とを含む、方法により達成することが出来る。

【００１５】この発明の第４の目的は、上記第１または第２の目的を達成し、受信畳み込み符号を復号して推定原データを得る上記簡易復号回路と、上記簡易復号回路からの推定原データを畳み込みにより再符号化する、送信側符号器と同じ構成の畳み込み符号器と、上記受信符号データと上記再符号化データとを排他的論理和により比較する比較手段と、上記比較手段の比較結果から推定誤りを復号するビタビ復号回路と、上記簡易復号回路からの推定原データと上記ビタビ復号回路からの推定誤りとをｍｏｄ２加算することにより上記推定原データの推定誤りを訂正して出力するｍｏｄ２加算手段、とを含む復号器によって達成することが出来る。

【００１６】この発明の第５の目的は、上記第１または第２の目的を達成し、受信畳み込み符号を復号して推定原データを得る上記簡易復号回路と、上記簡易復号回路からの推定原データを畳み込みにより再符号化する、送信側符号器と同じ構成の畳み込み符号器と、上記受信符号データと上記再符号化データとを排他的論理和により比較して不一致を検出する比較手段と、上記比較手段により検出された不一致の数を計数して、その計数値に対応する評価値を出力する計数手段、とを含む伝送路品質監視装置によって達成することが出来る。

【００１７】

【実施例】まずこの発明に到達する過程を理解し易くするため、この発明の簡易復号回路が対象とする符号化率ｎ／ｍの畳み込み符号の生成について説明する。拘束長Ｋで所望の符号化率Ｒ＝ｎ／ｍの畳み込み符号を生成する符号器は周知である。例えばバンクチュアド型符号器の場合は、図４にＫ＝７，Ｒ＝ｎ／ｍ＝３／４の場合を示すように、７つのシフト段を有するシフトレジスタ４と、これら７つのシフト段の予め決めたものと結合されたｍｏｄ２加算器５₁、５₂、及びｍｏｄ２加算器５₁、５₂の出力からｎ＝３ビット毎に予め決めたｍ／２＝２個のビット位置のデータを抽出するシフトレジスタ８₁、８₂から成るバンクチュア回路８とから構成される。７つのシフト段と各ｍｏｄ２加算器５₁、５₂との結合状態は７つの係数０または１を要素とする結合ベクトルで表され、図４の場合の結合ベクトルは（1101101）と（1001101）であり、係数“１”及び“０”はそれぞれ結合、非結合を表している。なお、拘束長Ｋは１つのｍｏｄ２加算器と係数“１”で結合された複数のシフト段の一端から他端までの段数に対応している。

【００１８】Ｋシフト段と各ｍｏｄ２加算器５₁、５₂との結合は結合ベクトルの係数（要素）が“１”に対応するシフト段とｍｏｄ２加算器５₁、５₂との結線として示してある。この結合ベクトルとバンクチュア回路８の抽出ビット位置は、生成される畳み込み符号の誤り訂正能力が最大となるように選ばれた場合を示している。この例では原データＤが３ビット入力される毎に４ビットの符号化データＩ₁，Ｉ₂，Ｑ₁，Ｑ₂が出力される。即ち、シフトレジスタ４の全シフト段に原データＤ₁～Ｄ₇が保持された状態でｍｏｄ２加算器５₁、５₂からデータ対Ｉ₁，Ｑ₁が出力され、次にデータＤ8 が入力されるとｍｏｄ２加算器５₁、５₂からデータ対Ｉ₂，Ｑ₂が出力され、以下同様にデータ対（Ｉ₂，Ｑ₂），（Ｉ₁，Ｑ₁），（Ｉ₂，Ｑ₂），…が得られる。

【００１９】ｍｏｄ２加算器５₁、５₂からのデータ対がシフトレジスタ８₁、８₂にそれぞれ３ビット入力される毎にシフトレジスタ８₁の第１及び第２ビット位置及びシフトレジスタ８₂の第１及び第３ビット位置からそれぞれデータＩ₁，Ｉ₂，Ｑ₁，Ｑ₂が１組の畳み込み符号として出力される。従って４つのデータからなる１組の畳み込み符号（Ｉ₁，Ｉ₂，Ｑ₁，Ｑ₂）が得られるには、シフトレジスタ４に原データＤ₁～Ｄ₇が保持されている状態に対し更に２つのデータＤ₈，Ｄ₉が入力される必要がある。これら２つのデータＤ₈，Ｄ₉が入力された状態ではシフトレジスタ４にはデータＤ₂～Ｄ₉が保持されており、シフトレジスタ８₁、８₂にはｍｏｄ２加算器５₁、５₂からの現在の出力対Ｉ₂、Ｑ₂とそれ以前の２対の出力Ｉ₂、Ｑ₂、Ｉ₁、Ｑ₁が保持されている。そこで、９ビットのデータＤ₁～Ｄ₉に

対しデータI_1、Q_1を生成する２つの符号生成ベクトル（各９ビット）と、データI_2を生成する１つの符号生成ベクトル（９ビット）と、データQ_2を生成する１つの符号生成ベクトル（９ビット）を規定することができる。

【００２０】図５は図４と同様に拘束長Ｋ＝７，符号化率Ｒ＝３／４の場合のパンクチュアド型でない畳み込み符号器の例であり、９個のシフト段を有するシフトレジスタ４と、９個のシフト段とそれぞれ予め決めた結合ベクトルで結合された４つのｍｏｄ２加算器5_1～5_4とから構成されている。図５の接続から明らかなようにｍｏｄ２加算器5_2とシフトレジスタ４の接続はｍｏｄ２加算器5_1とシフトレジスタ４の接続と接続位置が１段ずれているだけであり、同様にｍｏｄ２加算器5_4とシフトレジスタ４の接続はｍｏｄ２加算器5_3と２段ずれているだけである。従って、図５の符号器は図４の符号器と本質的に同じものであり、何れの場合も４ビットの

$$I_1' = D_1 + D_2 + D_4 + D_5 + D_7$$
$$I_2' = D_2 + D_3 + D_5 + D_6 + D_8$$
$$Q_1' = D_1 + D_4 + D_5 + D_6 + D_7$$
$$Q_2' = D_3 + D_6 + D_7 + D_8 + D_9$$

の様に表すことができる。但し上式中の記号“＋”はｍｏｄ２加算（排他的論理和）を表すものとする。前述のように、受信側において受信したＫ＝７，Ｒ＝３／４の畳み込み符号データI_1，I_2，Q_1，Q_2から原データD_1～D_9を復号できる誤り訂正機能を持たない簡易復号回路はこの出願の発明者らにより試行錯誤的にたまたま１つだけ構成することができたが、一般に拘束長

$$I_1^2 = D_4 + D_5 + D_7 + D_8 + D_{10}$$
$$I_2^2 = D_5 + D_6 + D_8 + D_9 + D_{11}$$
$$Q_1^2 = D_4 + D_7 + D_8 + D_9 + D_{10}$$
$$Q_2^2 = D_6 + D_9 + D_{10} + D_{11} + D_{12}$$

で表される。式（１）では９個の変数D_1～D_9により１組４個のｍｏｄ２加算値I_1'，I_2'，Q_1'，Q_2'を決定する１組４つの多項式が得られ、式（２）では３個の変数D_{10}～D_{12}が新たに追加されて更に４個のｍｏｄ２加算値を決定する４つの多項式が得られる。この様に原データＤが３ビットずつ入力される毎に１組４個ずつ多

$$4x \geqq 9 + 3(x-1)$$

が成立するので、式（３）を満足する最小の整数ｘの値はｘ＝６となり、２４個の変数D_1～D_{24}を含む２４個の多項式が得られる。このことは畳み込み符号データである２４個（６組）のｍｏｄ２加算値（I_1'，I_2'，Q_1'，Q_2'），（I_1^2，I_2^2，Q_1^2，Q_2^2），…，（I_1^6，I_2^6，Q_1^6，Q_2^6）が与えられれば逆に変数D_1～D_{24}を決定することができることを意味している。そこで受信側の簡易復号回路においては少なくとも２４個の受信符号データを保持することができるシフトレジスタを設ければ、このシフトレジスタに保持された２４個の受信データ、即ち６組の受信畳み込み符号から２４ビットの原データD_1～D_{24}を以下のようにして求めることができる。

【００２３】上述の２４個の多項式を、係数$a_{i,j}$（$a_{i,j}$は０又は１であり、ｉ＝１～２４、ｊ＝１～２４である）を使って次のような符号生成多項式として表す。

$$I_1' = a_{1,1}D_1 + a_{1,2}D_2 + \cdots + a_{1,24}D_{24}$$
$$I_2' = a_{2,1}D_1 + a_{2,2}D_2 + \cdots + a_{2,24}D_{24}$$
$$Q_1' = a_{3,1}D_1 + a_{3,2}D_2 + \cdots + a_{3,24}D_{24}$$

畳み込み符号I_1，I_2，Q_1，Q_2を得るのに連続９ビットの入力データを必要とし、原データＤが３ビット追加される毎に１組４ビット（I_1，I_2，Q_1，Q_2）の畳み込み符号が出力される。従って、図５の場合これら４ビットの符号データを生成するための４つの符号生成ベクトル（各９ビット）は上記４つの結合ベクトルと同じものであり、これらは図４の４つの符号生成ベクトルと同じである。一般に、拘束長Ｋ、符号化率ｎ／ｍの場合、ｍビット１組の畳み込み符号を得るには連続Ｋ＋ｎ－１ビットの入力データを必要とし、入力データＤがｎビット追加される毎にｍビットの畳み込み符号を得るＫ＋ｎ－１ビットの生成ベクトルをｎ個規定することができる。

【００２１】図４及び５で示した例では９ビットの原データD_1～D_9を用いて最初の１組の符号データI_1'，I_2'，Q_1'，Q_2'をそれぞれ次式

（１）

Ｋ、符号化率Ｒ＝ｎ／ｍの畳み込み符号をビタビ復号アルゴリズムを使わないで復号できる簡易復号回路を構成することは非常に困難であった。

【００２２】ところで、式（１）で表される状態にある図４又は５の符号器に更に３ビットの原データD_{10}，D_{11}，D_{12}を入力して得られる符号器の１組の出力符号データI_1^2，I_2^2，Q_1^2，Q_2^2は次式

（２）

項式が増加するので、これを繰り返せばある時点で得られた多項式の数が使用された変数D_1，D_2，…の数と等しいかそれより大きくなる。例えば上述のＫ＝７，ｎ／ｍ＝３／４の場合は、全部でｘ組の多項式が得られた時点で全多項式の数が変数データＤの数以上になったとすると、次式

（３）

13　　14

$$Q_3' = a_{4,1} D_1 + a_{4,2} D_2 + \cdots + a_{4,24} D_{24}$$

$$\vdots$$

$$I_1' = a_{21,1} D_1 + a_{21,2} D_2 + \cdots + a_{21,24} D_{24}$$
$$I_2' = a_{22,1} D_1 + a_{22,2} D_2 + \cdots + a_{22,24} D_{24}$$
$$Q_1' = a_{23,1} D_1 + a_{23,2} D_2 + \cdots + a_{23,24} D_{24}$$
$$Q_3' = a_{24,1} D_1 + a_{24,2} D_2 + \cdots + a_{24,24} D_{24}$$

（4）

式（1）、（2）を参照すれば、例えば$a_{1,1}$＝1，$a_{1,2}$＝1，$a_{1,3}$＝0，$a_{1,4}$＝1，$a_{1,5}$＝1，$a_{1,6}$＝0，$a_{1,7}$＝1であり、8≦j≦24では$a_{1,j}$＝0であることは明かである。同様にして他の全ての係数も決定されており、これら全多項式の係数$a_{i,j}$を要素とする正方行列Aを図６に示す。即ち、この行列Aは図４又は５に示す符号器の畳み込み符号生成行列を表している。図６から明らかなように、例えば４行９列の係数$a_{1,1}$～$a_{4,9}$が例えば図５に示す４つのｍｏｄ２加算器5_1～5_4のそれぞれとシフトレジスタ４の９つのシフト段との結合係数を示している。この様に全ての係数$a_{i,j}$は図４又は５の符号器の構成により予め決められている。従って式（４）の係数$a_{i,j}$を要素とする正方行列Aの逆行列Bを求めれば原データD_1～D_{24}は次式により求められる。

【００２４】

$$D_1 = b_{1,1} I_1' + b_{1,2} I_2' + b_{1,3} Q_1' + \cdots + b_{1,24} Q_3'$$
$$D_2 = b_{2,1} I_1' + b_{2,2} I_2' + b_{2,3} Q_1' + \cdots + b_{2,24} Q_3'$$
$$\vdots$$
$$D_{24} = b_{24,1} I_1' + b_{24,2} I_2' + b_{24,3} Q_1' + \cdots + b_{24,24} Q_3' \quad (5)$$

ここで$b_{i,j}$（ｉ＝１～２４，ｊ＝１～２４）は正方行列Ｂの要素であり、“１”又は“０”である。式（５）を復号生成多項式を呼ぶ。

【００２５】図６に示す正方行列Ａの逆行列は容易に計算することができ、その計算結果を図７に示す。行列Ｂは原データ復号生成行列を表している。前述の説明から明らかなように符号化率Ｒ＝３／４の場合の畳み込み符号の復号においては４ビットの受信符号データ毎に３ビットの原データを得ることになる。図７の行列Ｂにおいて、任意の行から開始して連続する３行は何れも図６に示す符号生成行列に従って畳み込み符号化を行う図４又は５に示す符号器によって生成された畳み込み符号から３ビットの原データを決定する３つの復号生成多項式の係数解を与えており、どの連続する３行の係数を使っても復号回路を構成することができる。

【００２６】図８は図７においてＬａで示す最下３行のグループの係数を使って構成したこの発明による簡易復号回路の実施例を示し、復号すべき符号は前述の図４又は５の符号器によって生成される拘束長Ｋ＝７，符号化率Ｒ＝３／４の畳み込み符号である。この実施例では２４ビットの受信符号データを保持するのに必要な２４個のシフト段＃１～＃２４は４行６列に配列され、各行の６つのシフト段は直列に接続され４つのシフトレジスタSR_1～SR_4が構成され、これら４つのシフトレジスタがシフトレジスタ回路２２を構成している。これら４つのシフトレジスタSR_1～SR_4の入力端子21_1～21_4に４ビット毎の入力符号データI_1，I_2，Q_1，Q_3を分配して入力することを繰り返すことにより２４個のシフト段の全てがデータが満たされている状態では第１行第６列（右上角）のシフト段に最も早い、即ち最も古いデータが保持され、第４行第１列（左下角）のシフト段に最も遅れた、即ち最も新しいデータが保持されているので、２４個のデータの最も早いデータから最も遅れたデータまでをそれぞれ保持しているシフト段に図に示すように番号＃１～＃２４を順に付けてある。

【００２７】図８の簡易復号回路には復号結果を３ビットずつ並列出力する３つのｍｏｄ２加算器23_1、23_2、23_3が更に設けられている。図７の行グループＬａ内の第１行目の左から右に並んだ２４個の係数は２４個のシフト段＃１～＃２４のそれぞれとｍｏｄ２加算器23_1との結合状態を表し、係数“１”のそれぞれの位置に対応するシフト段＃１～＃４、＃６、＃９、＃１５、＃１７、＃１９、＃２０、＃２３の出力が選択されｍｏｄ２加算器23_1でｍｏｄ２加算される。同様に行グループＬａ内の第２行目の２４個の係数は２４個のシフト段＃１～＃２４のそれぞれとｍｏｄ２加算器23_2との結合状態を表し、係数“１”の位置に対応するシフト段＃５～＃９、＃１１、＃１２、＃１５～＃１９、＃２１～＃２３の出力が選択されｍｏｄ２加算器23_2でｍｏｄ２加算され、行グループＬａ内の第３行目の２４個の係数は２４個のシフト段のそれぞれとｍｏｄ２加算器23_3との結合状態を表し、係数“１”の位置に対応するシフト段＃９～＃１２、＃１４、＃１７、＃２１、＃２２、＃２４の出力が選択されｍｏｄ２加算器23_3でｍｏｄ２加算される。

【００２８】最初の２４個の符号データがシフトレジスタ回路２２に保持された状態でｍｏｄ２加算器23_1～

２３，から得られる出力は復号された原データD，，D，，D，である。以降４ビットのデータI，，I，，Q，，Q，がシフトレジスタ回路２２に入力される毎にデータD，，D，，D，，…が３ビットずつ出力端子２４，、２４，、２４，に得られる。

【００２９】前述のように行グループLa は畳み込み符号の復号を可能とする生成多項式を決める１組の係数解であり、同様に他の任意の連続する３行のグループの何れも同様の畳み込み符号の復号を可能とする生成多項式を決める他の組の係数解となっている。それぞれ連続する３行の係数に従って図８における２４個のシフト段＃１～＃２４と３つのｍｏｄ２加算器２３，、２３，、２３，との結線を行えば同様に簡易復号回路を構成することができる。例えばLb で示す最上３行を使って簡易復号回路を構成する場合は、図７から明らかなように行グループLb の右端４つのビット位置の係数は全て“０”となっており、この４つのビット位置に対応するシフト段は３つのｍｏｄ２加算器２３，、２３，、２３，の何れとも結合されない。従ってこの４つのシフト段を省略することができ、その場合シフトレジスタ回路２２はシフト段＃２１～＃２４が省略された４行５列のシフトレジスタ回路となる。この場合が前述の論文に発表した、この出願の発明者等によって試行錯誤的に構成することができた復号回路に相当する。

【００３０】行グループLc は行グループLb において右端４つのビット位置の係数“０”を全て左端に移したものと等価であり、その４つのビット位置に対応するシフト段も同様に省略できるので、行グループLb に従って構成した簡易復号回路と全く同じとなる。この様にＫ＝７，Ｒ＝３／４の畳み込み符号が４ビット毎に並列に入力される簡易復号回路のシフトレジスタ回路２２は一般には４行６列のシフトレジスタ回路となるが、図７の場合のように１つまたは複数のシフト段が省略できる係数解の組が得られる場合もある。また図８におけるシフト段＃１３のように何れのｍｏｄ２加算器とも結合されないがデータ間のタイミングを保存するためにのみ使われるものもある。

【００３１】図８の実施例では入力符号データが４ビット毎に並列に入力される場合の簡易復号回路の例を示したが、図９に示す簡易復号回路の実施例は直列に入力される畳み込み符号に対し図８の場合と同様に図７の逆行列で表された係数解の１つの組である行グループLa に従って構成した場合を示す。この実施例ではシフトレジスタ回路２２を構成する２４個のシフト段＃１～＃２４は全て直列に接続され、これらのシフト段と３つのｍｏｄ２加算器２３，、２３，、２３，が図７の逆行列中の行グループLa の係数に従って図８の場合と同様に接続されている。入力符号データはI，，I，，Q，，Q，の順に繰り返しシフトレジスタ回路２２に入力され、全シフト段＃１～＃２４にデータが初めて満たされた状態でｍｏｄ２加算器２３，、２３，、２３，の出力が復号された原データD，，D，，D，としてラッチ２５，、２５，、２５，に取り込まれ、出力端子２４，、２４，、２４，に出力される。以降は４ビットの符号データI，，I，，Q，，Q，が入力される毎にｍｏｄ２加算器２３，、２３，、２３，から３ビットの復号データがラッチ２５，、２５，、２５，に取り込まれる。

【００３２】上述では拘束長Ｋ＝７、符号化率Ｒ＝ｎ／ｍ＝３／４の畳み込み符号に対する簡易復号回路の例を説明したが、同じ拘束長Ｋ＝７，で例えば符号化率Ｒ＝ｎ／ｍ＝７／８の畳み込み符号の場合についてその簡易復号回路を構成する手順を簡単に説明する。最初の１３ビットの原データD，～D，，を用いて次の符号生成多項式に従った符号器により最初の８ビットの畳み込み符号データI，，I，，I，，I，，I，，Q，，Q，，Q，を生成するものとする。

【００３３】

$$I_1' = D_1 + D_2 + D_4 + D_5 + D_7$$
$$I_2' = D_2 + D_3 + D_5 + D_6 + D_8$$
$$I_3' = D_3 + D_4 + D_6 + D_7 + D_9$$
$$I_4' = D_4 + D_5 + D_7 + D_8 + D_{10}$$
$$I_6' = D_6 + D_7 + D_9 + D_{10} + D_{12}$$
$$Q_1' = D_1 + D_4 + D_5 + D_6 + D_7$$
$$Q_5' = D_5 + D_8 + D_9 + D_{10} + D_{11}$$
$$Q_7' = D_7 + D_{10} + D_{11} + D_{12} + D_{13} \qquad (6)$$

次の７ビットの原データD，，～D，，が符号器に入力されると上式中のデータを全て７ビットシフトして得られる次式により次の８ビット１組の符号データが得られる。

【００３４】

$$I_1'' = D_8 + D_9 + D_{11} + D_{12} + D_{14}$$
$$I_2'' = D_9 + D_{10} + D_{12} + D_{13} + D_{15}$$
$$I_3'' = D_{10} + D_{11} + D_{13} + D_{14} + D_{16}$$
$$I_4'' = D_{11} + D_{12} + D_{14} + D_{15} + D_{17}$$
$$I_6'' = D_{13} + D_{14} + D_{16} + D_{17} + D_{19}$$
$$Q_1'' = D_8 + D_{11} + D_{12} + D_{13} + D_{14}$$

$$Q_5' = D_{12} + D_{15} + D_{16} + D_{17} + D_{18}$$
$$Q_7' = D_{14} + D_{17} + D_{18} + D_{19} + D_{20}$$　　（７）

更に原データＤを７ビット符号器に入力する毎に８ビット１組の符号データが増えるので、８ビット符号データの生成をｘ回繰り返したとき、得られる符号生成多項式の数（全符号データ数）がそれまでに入力された原データＤの数と等しいかそれより大きいとすると、８ｘ≧１３＋７（ｘ－１）が成り立つから最小のｘの値はｘ＝６となる。この時得られる８ｘ＝４８個の符号データをそれぞれ表す符号生成多項式の各係数$a_{i,j}$（ｉ＝１～４８，ｊ＝１～４８）で表すと、式（６）、（７）からこれらの係数$a_{i,j}$は図１０に示す正方行列Ａで表すことができる。これら４８個の符号生成多項式の係数がこのように決められているので、４８個の符号化データが与えられれば逆に４８個の原データを決定することができ、それら原データを生成する復号生成多項式の係数$b_{i,j}$（ｉ＝１～４８，ｊ＝１～４８）は図１０に示す正方行列Ａの逆行列Ｂ＝Ａ$^{-1}$によって与えられ、その逆行列Ｂの計算結果を図１１に示す。従って、簡易復号回路においては８ｘ＝４８ビットの入力畳み込み符号データを保持するシフト段数を有するシフトレジスタ回路を設ければ、新しく入力された８ビットの符号データとそれ以前の４０ビットの符号データから図１１で決められた

$$mx \geqq K + n - 1 + n(x - 1)$$　　（８）

を満足する必要がある。従って列数（例えば図８の実施例の各シフトレジスタＳＲ$_1$～ＳＲ$_4$のシフト段数）ｘは次式

$$x \geqq (K - 1) / (m - n)$$　　（９）

を満足する整数を選べばよく、またシフトレジスタ回路２２内の必要な全シフト段数Ｎは次式

$$N = xm \geqq m(K - 1) / (m - n)$$　　（１０）

で表される。簡易復号回路の構成を小さくするにはｘの値を小さく選ぶことが好ましく、その場合は次式

$$x = [(K - 1) / (m - n)]$$　　（１１）

によってｘの値を決定すればよい。但し記号［ｐ］は実数ｐ以上の最小の整数を表すものとする。あるいは上式（９）、（１０）において（Ｋ－１）／（ｍ－ｎ）が整数とならない場合は、（Ｋ－１）／（ｍ’－ｎ）が整数となるｍを越えない最大の整数ｍ’を求めてｍの代わりに用いてもよい。一般にｍ’＝ｎ＋１に選べば式（９）のｘの値は拘束長Ｋが如何なる値でも常に整数となる。即ち、例えば式（１）のようなｍ個の畳み込み符号生成多項式からｍ’＝ｎ＋１個を選択して前述と同様にｎビットのデータを追加する毎にｍ’個の生成多項式を増やしていく手順でｘｍ’個の生成多項式を得て、それら多項式の係数を要素とするｍｘ×ｍｘの正方行列Ａを求める。この場合、シフトレジスタ回路２２内の１行のシフト段数ｘはＫ－１となる。何れの方法においても得られた符号生成行列Ａの行列式が０となった場合は逆行列Ｂ＝Ａ$^{-1}$を求めることはできない。その時は式（９）を満足する他のｘの値を選べば逆行列を求められる可能性がある。

【００３７】この様にこの発明によれば従来構成できな係数の７つの復号生成多項式を使って７ビットの原データを復号する事ができる。

【００３５】図１１の逆行列において、任意の行から開始する連続する７行は何れも復号生成多項式の係数解の組を与える。例えば行グループＬａで示す最上７行の係数に従って構成した簡易復号回路を図１２に示す。図８の場合と同様に行グループＬａ内の第１～７行の係数“１”の位置はシフト段＃１～＃４８中の、ｍｏｄ２加算器２３$_1$～２３$_7$と結合すべきシフト段番号を表している。この簡易復号回路により、最初の４８ビットの符号データがシフト段＃１～＃４８に保持された状態で原データＤ$_1$～Ｄ$_7$がｍｏｄ２加算器２３$_1$～２３$_7$から復号されて出力され、以降入力符号データが８ビット与えられる毎に７ビットの原データが復号される。図１１の簡易復号回路も図９と同様に全てのシフト段が直列接続された構成に変形できることは明かである。

【００３６】一般に拘束長Ｋ、符号化率Ｒ＝ｎ／ｍの畳み込み符号に対する簡易復号回路において、シフトレジスタ回路２２に保持しなければならない全データビット数Ｎ＝ｍｘは式（３）と同様に次式

ｎビットの最終復号データＤを得る。

19　　20

【００３８】この発明の他の適用例として、回線の品質を監視するため、バーモニタと呼ばれる伝送路符号誤り測定装置に適用した場合の構成を図１４に示す。伝送路上から得た符号化率ｎ／ｍの受信符号データが端子１１，～１１。に与えられ、図１３の場合と同様に誤り訂正機能を持たないこの発明の簡易復号回路２０でｎビットの原データが推定復号される。復号結果は図１３と同様に送信側符号器と同じ構成の符号器３により再符号化されて比較器１３，～１３。に与えられる。一方、端子１１，～１１。から受信ｍビット符号データもタイミングを合わせる遅延回路１２，～１２。を通して比較器１３，～１３。に与えられ、再符号化データと比較される。受信ｍビット符号データに伝送路誤りがなければ受信符号データと再符号化データは互いに一致し、比較器１３，～１３。の出力は全て“０”である。受信符号データに伝送路誤りがあるとそのビットパターンの異常が生じ、再符号化データとの間に不一致が生じ、不一致を検出した比較器から“１”が出力され、その不一致を表す“１”が計数回路１８により計数される。計数回路１８は誤りの計数値に基づいて回線品質を表す評価値を計算して出力する。

【００３９】

【発明の効果】以上説明したようにこの発明によれば、予め決められた任意の符号化率ｎ／ｍの畳み込み符号を複合できる簡易復号回路を実現できる。この簡易復号回路をＳＳＴ型ビタビ復号器に適用すれば、それに使用されている狭義のビタビ復号回路は主に誤り系列だけを復号する事になる。伝送路で受ける誤り系列は原データ系列の情報量と比較すれば、その量は大幅に小さいので、狭義のビタビ復号回路をＣＭＯＳによって構成することによりビタビ復号回路における電力消費を大幅に小さくできる。また誤り系列だけを復号すればよいため、その状態は“０，０”の状態に集中するものと見ることができる。このため最尤判定回路を特に設けなくてもあるパスメモリ系列を特定してその出力から復号出力を取り出す構成にしても大きな誤差が発生することはない。従って、最尤判定回路を省略することができ、回路規模を小さくすることができる。

【図面の簡単な説明】

【図１】従来のＳＳＴ型ビタビ復号器の構成を示すブロック図。

【図２】符号化率Ｒ＝１／２、拘束長Ｋ＝４の符号器の構成図。

【図３】図２の符号器に対応する簡易復号回路の構成図。

【図４】符号化率Ｒ＝３／４、拘束長Ｋ＝７のパンクチュアド型符号器の構成図。

【図５】図４の符号器を変形した非パンクチュアド型符号器の例を示す図。

【図６】図４の符号器の符号生成多項式の係数を要素とする正方行列を示す図。

【図７】図６の正方行列の逆行列を示す図。

【図８】図７により求められた復号生成多項式の係数に従って構成した簡易復号回路の実施例を示す図。

【図９】図８の復号回路の変形実施例を示す図。

【図１０】符号化率Ｒ＝７／８、拘束長Ｋ＝７の符号生成多項式の係数を要素とする正方行列を示す図。

【図１１】図１０の行列の逆行列を示す図。

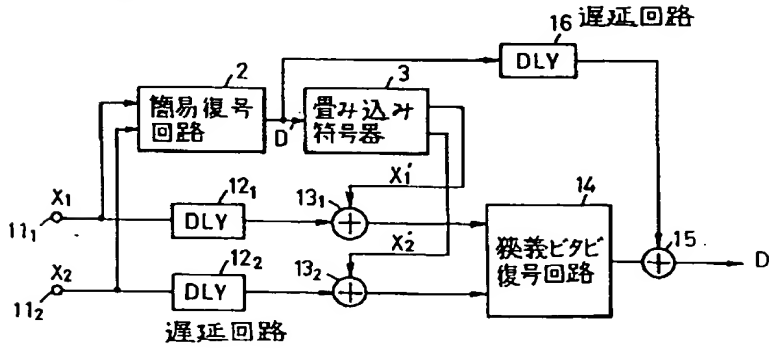
【図１２】図１１により求められた復号生成多項式の係数に従って構成した簡易復号回路の実施例を示す図。

【図１３】この発明の簡易復号回路を適用したＳＳＴ型ビタビ復号器の構成を示すブロック図。

【図１４】この発明の簡易復号回路を適用した伝送路符号誤り測定装置の構成を示すブロック図。

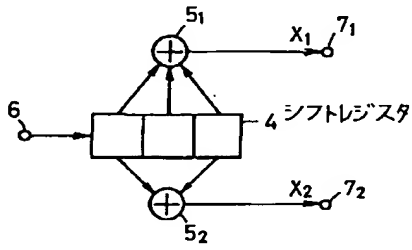
【図１】

FIG. 1



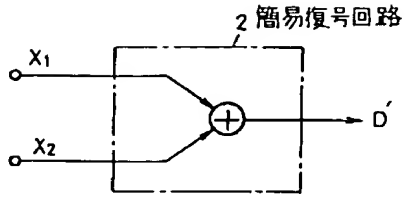
【図２】

FIG. 2



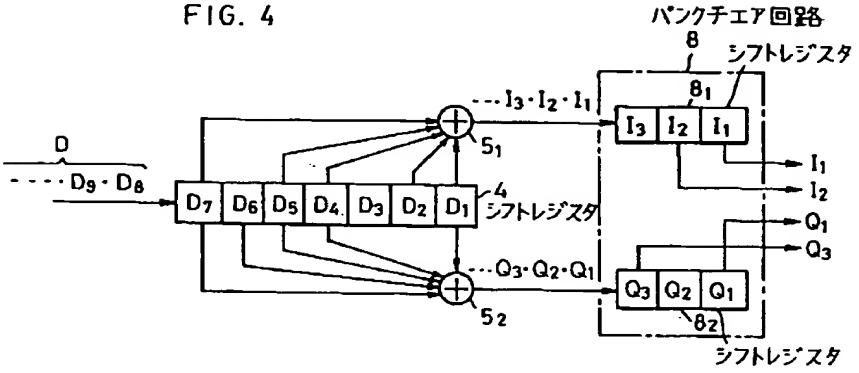
【図３】

FIG. 3



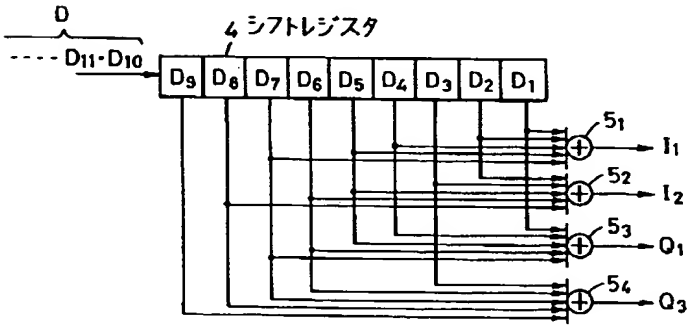
【図４】

FIG. 4



【図５】

FIG. 5



【図６】

FIG. 6

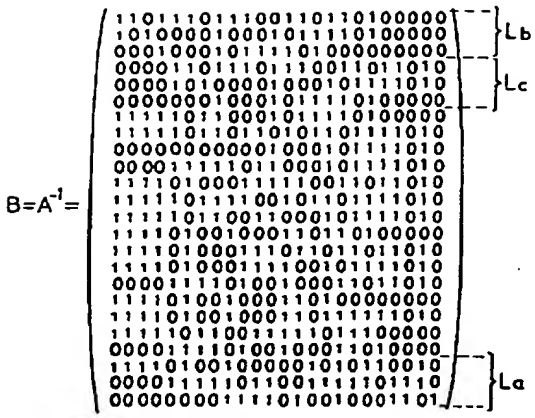
A＝

$$\begin{pmatrix}
1101101000000000000000000\\
0110110100000000000000000\\
1001111000000000000000000\\
0010011110000000000000000\\
0001101101000000000000000\\
0000110110100000000000000\\
0001001111000000000000000\\
0000010011110000000000000\\
0000001101101000000000000\\
0000000110110100000000000\\
0000000100111100000000000\\
0000000010011110000000000\\
0000000001101101000000000\\
0000000000110110100000000\\
0000000001001111000000000\\
0000000000010011110000000\\
0000000000001101101000000\\
0000000000000110110100000\\
0000000000000100111100000\\
0000000000000010011110000\\
0000000000000001101101000\\
0000000000000000110110100\\
0000000000000000100111100\\
0000000000000000010011110
\end{pmatrix}$$

符号生成行列

【図７】

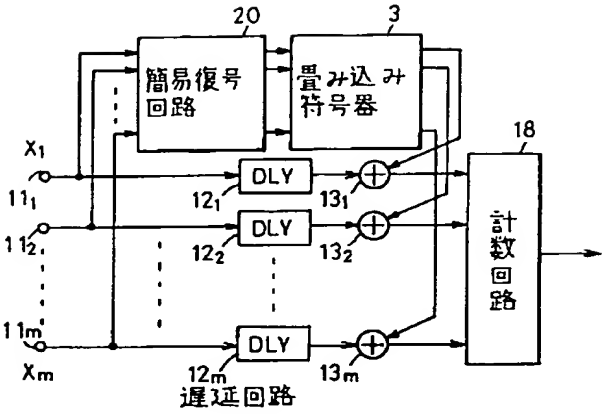
FIG. 7



復号生成行列

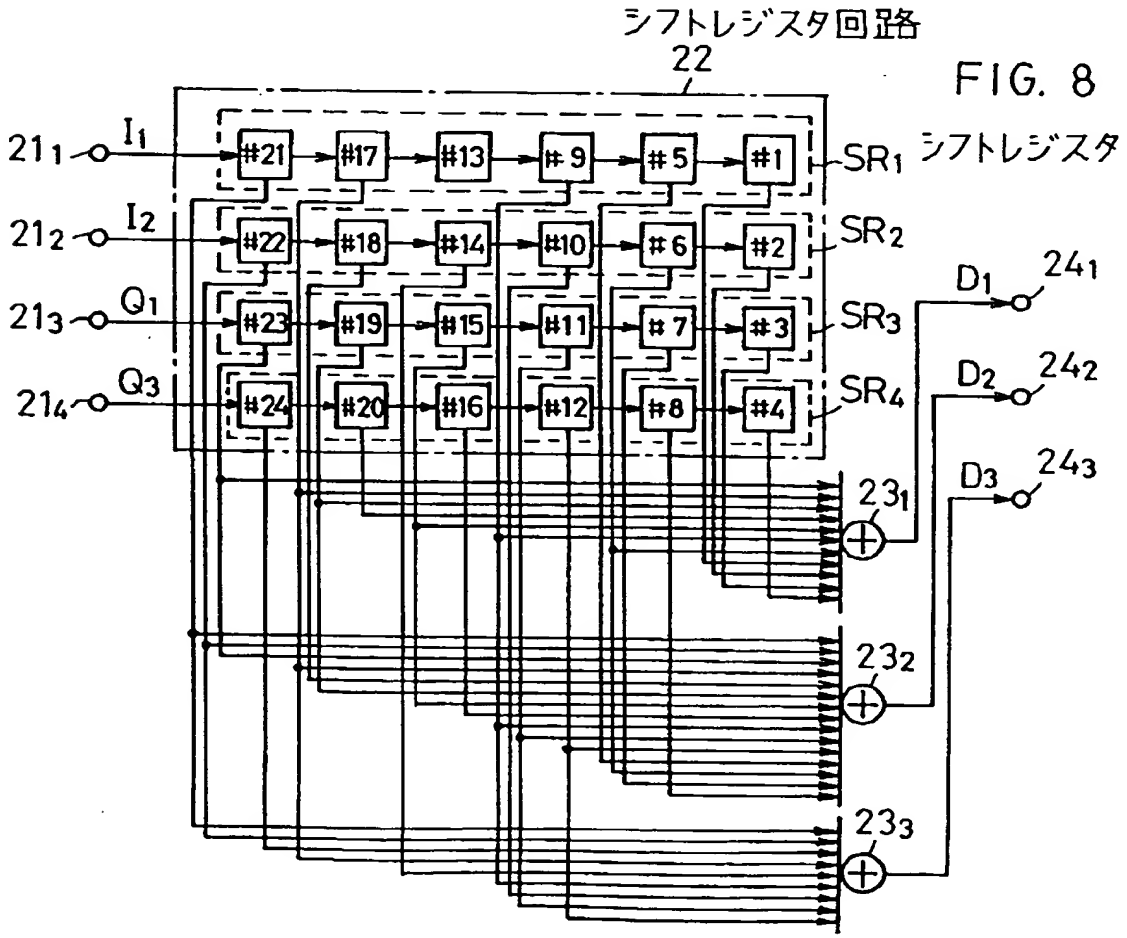
【図１４】

FIG. 14



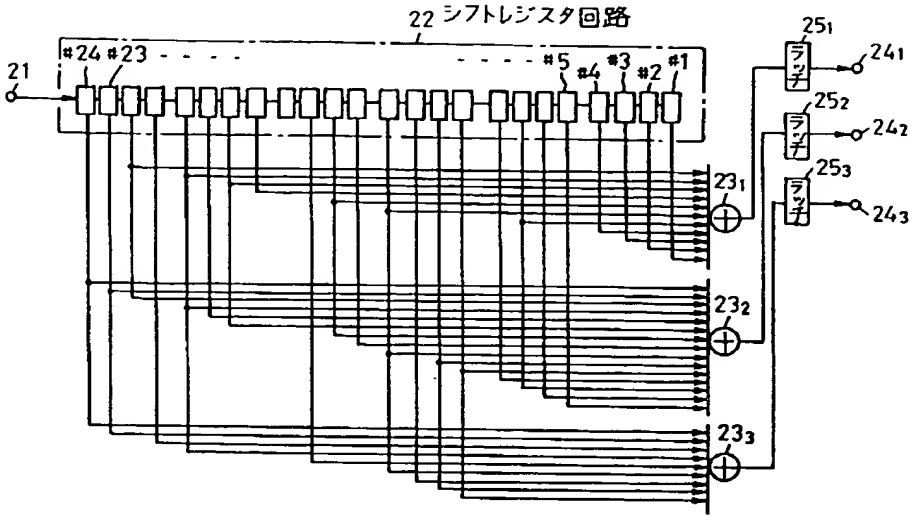
【図８】

FIG. 8



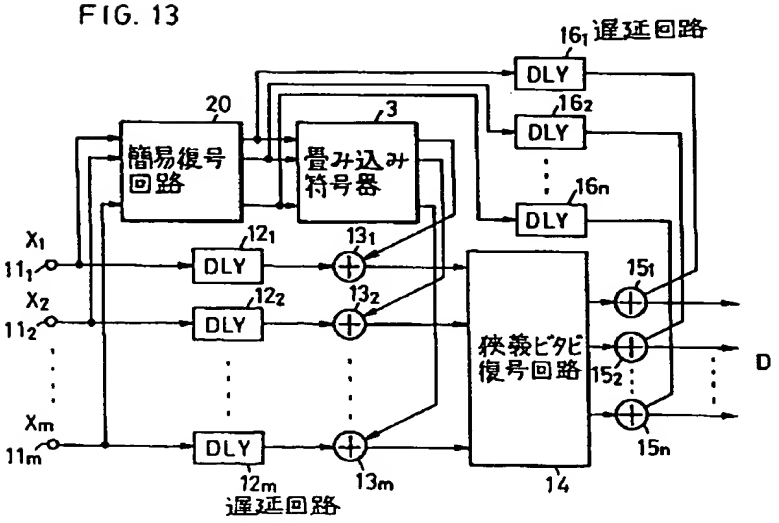
【図９】

FIG. 9



【図１３】

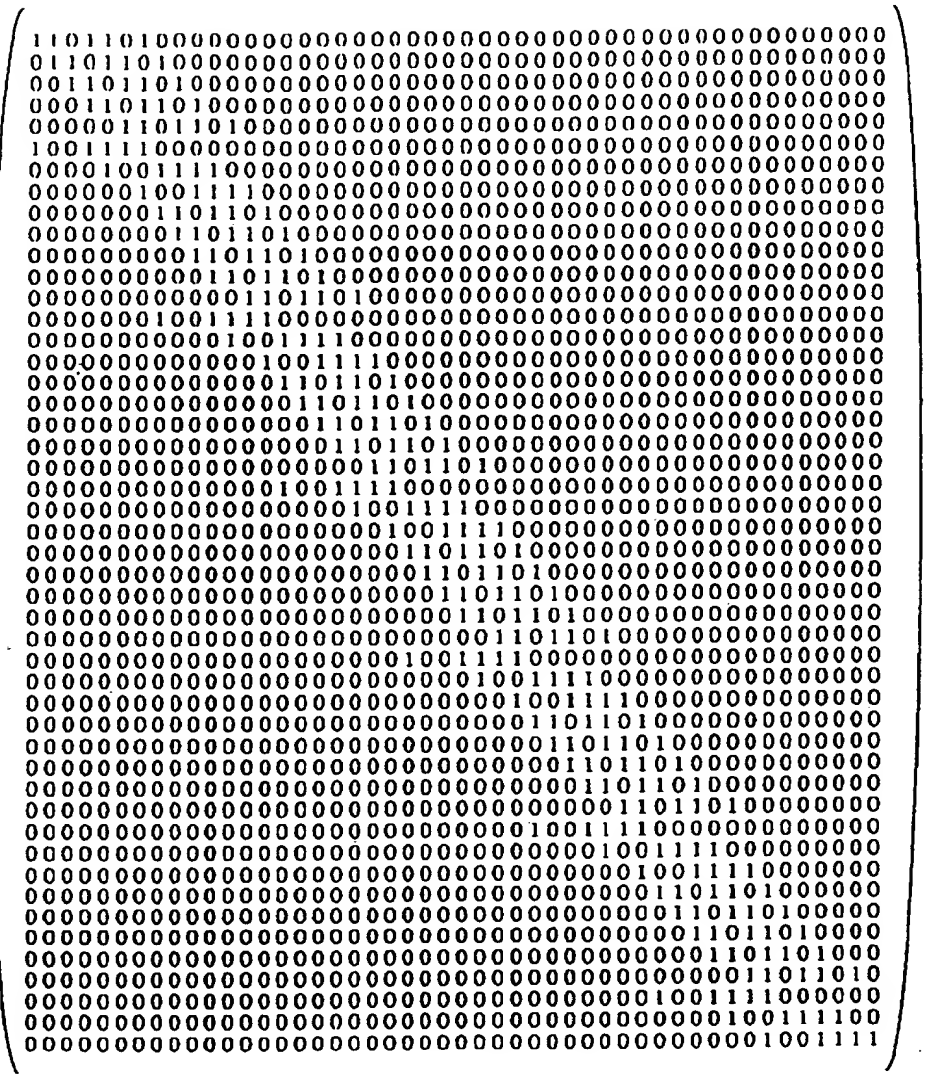
FIG. 13



【図１０】

FIG. 10

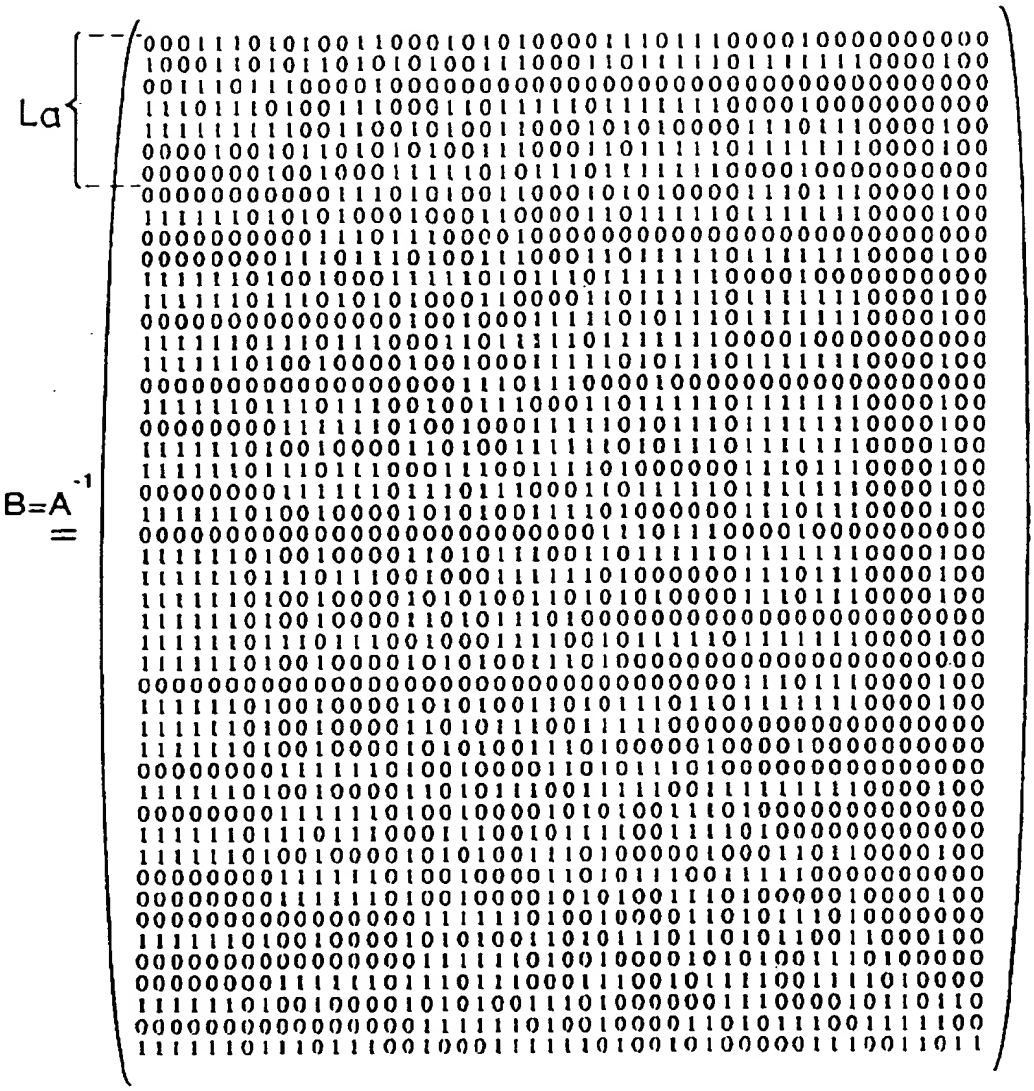
A=



符号生成行列

【図１１】

FIG. 11



復号生成行列

【図１２】

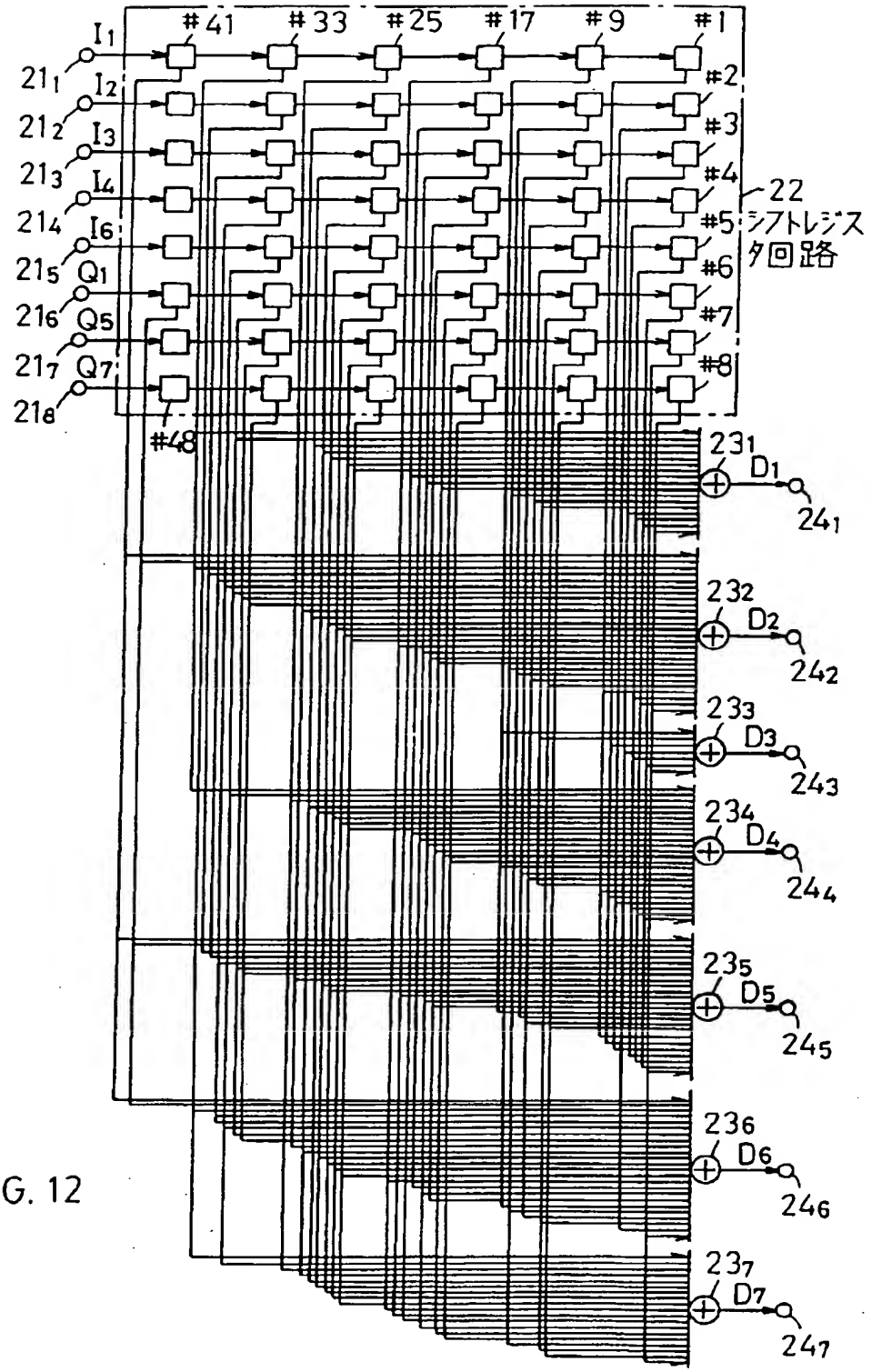

#41
#33
#25
#17
#9
#1
I1
I2
I3
I4
I6
Q1
Q5
Q7
21₁
21₂
21₃
21₄
21₅
21₆
21₇
21₈
#2
#3
#4
#5
#6
#7
#8
#48
22
シフトレジスタ回路
231
232
233
234
235
236
237
D1
D2
D3
D4
D5
D6
D7
241
242
243
244
245
246
247

FIG. 12

フロントページの続き

(72)発明者　加藤　修三
東京都千代田区内幸町１丁目１番６号　日
本電信電話株式会社内